



①⑨ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENTAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 197 06 789 A 1**

⑤① Int. Cl.<sup>6</sup>:  
**H 01 L 21/762**  
H 01 L 27/092  
H 01 L 21/8238

②① Aktenzeichen: 197 06 789.1  
②② Anmeldetag: 20. 2. 97  
④③ Offenlegungstag: 27. 8. 98

**DE 197 06 789 A 1**

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Widmann, Dietrich, Dr.-Ing., 82008 Unterhaching,  
DE; Kerber, Martin, Dr.rer.nat., 81827 München, DE

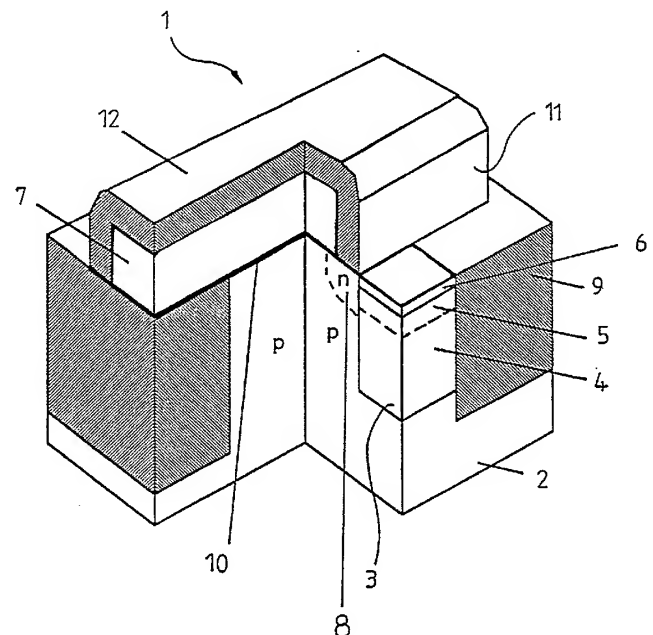
⑤⑥ Entgegenhaltungen:  
US 51 32 755  
US 50 43 778  
US 49 16 508

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ CMOS-Schaltung mit rundum dielektrisch isolierten Source-Drain-Bereichen und Verfahren zu ihrer Herstellung

⑤⑦ Die Erfindung betrifft eine CMOS-Schaltung (1) mit rundum dielektrisch isolierten Source-Drain-Bereichen. Die Erfindung ist dadurch gekennzeichnet, daß im Bereich der Source-Drain-Gebiete in das monokristalline Silicium (2) geätzte Gräben (3) vorgesehen sind, welche mit undotiertem oder sehr niedrig dotiertem Silicium (4) aufgefüllt sind. Das vollständig oder nahezu vollständig verarmte Silicium in den Gräben (3) stellt eine dielektrisch isolierende Schicht dar und isoliert die Source-Drain-Bereiche gegen das benachbarte Silicium-Substrat.



**DE 197 06 789 A 1**

Die Erfindung betrifft eine CMOS-Schaltung mit rundum dielektrisch isolierten Source-Drain-Bereichen sowie ein Verfahren zu ihrer Herstellung.

Derartige Schaltungen mit Rundum-Isolation der Source-Drain-Bereiche haben den Vorteil, daß sehr kleine Abstände zwischen n- und p-Kanälen realisiert werden können, bei denen parasitäre pn-Übergänge weitgehend ausgeschlossen sind. Es können schnellere Schaltungen erhalten werden und flache Source-Drain-Dotierprofile bei kleinerem Schichtwiderstand realisiert werden.

Die bisher bekannten Schaltungen mit rundum isolierten Source-Drain-Bereichen sind jedoch nur schwer herstellbar. Üblicherweise werden sogenannte SOI-Techniken eingesetzt (SOI = Silicon On Isolator), bei denen beispielsweise unter Verwendung der sogenannten SIMOX (Separation By Implantation Of Oxygen)- oder BESOI (Bonded Etched-Back Silicon On Isolator)-Verfahren eine dünne monokristalline Siliciumschicht auf einer vergrabenen Isolationschicht, im allgemeinen aus Siliciumdioxid, erzeugt wird. Die Herstellung der monokristallinen Siliciumschicht, in der anschließend die Kanalgebiete des MOS-Transistors erzeugt werden, auf der Isolationsschicht ist schwierig, zeitaufwendig und teuer.

Aufgabe der Erfindung ist es, eine CMOS-Schaltung mit rundum isolierten Source-Drain-Bereichen zu schaffen, die – ausgehend von einem üblichen Wafer aus monokristallinem Silicium – unter Verwendung herkömmlicher Verfahrensschritte leicht und kostengünstig herstellbar ist.

Die Lösung der Aufgabe gelingt mit der CMOS-Schaltung gemäß Anspruch 1. Die Erfindung betrifft weiterhin ein Verfahren zur Herstellung dieser Schaltung gemäß Anspruch 10. Weiterbildungen und bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen.

Die erfindungsgemäße CMOS-Schaltung unterscheidet sich von einer unter Verwendung der SOI-Techniken hergestellten Schaltung dadurch, daß die Kanalgebiete Bestandteil des Wafers aus monokristallinem Silicium sind. Die Isolation der Source-Drain-Bereiche erfolgt dadurch, daß in den Source-Drain-Bereichen Gräben erzeugt werden, die mit Silicium aufgefüllt werden. Erfindungsgemäß werden die in einem N- oder P-Kanal-Transistor erzeugten Gräben mit undotiertem oder sehr niedrig dotiertem Silicium aufgefüllt. Das in den Gräben abgeschiedene Silicium ist also vollständig oder nahezu vollständig verarmt und stellt somit eine dielektrisch isolierende Schicht dar. Die Kapazität dieser dielektrisch isolierenden Schicht wird im wesentlichen durch deren Permittivität und Dicke bestimmt. Sie ist dagegen weitgehend unabhängig von der anliegenden Spannung.

Zur Auffüllung der Gräben in den Source-Drain-Bereichen eignet sich grundsätzlich monokristallines, polykristallines oder amorphes Silicium. Die Gräben können beispielsweise durch konforme Abscheidung polykristallinen oder amorphen Siliciums gefüllt werden. Besonders bevorzugt wird undotiertes Silicium verwendet, welches durch selektive Epitaxie in die Gräben abgeschieden wurde (sogenanntes SEG). Gräben geringeren Grabendurchmessers und großen Aspektverhältnisses werden zweckmäßig durch konforme Abscheidung von Polysilicium oder amorphem Silicium gefüllt. Anschließend wird das abgeschiedene Silicium isotrop bis zur Grabenoberfläche, d. h. bis zum oberen Grabenrand, oder gegebenenfalls bis geringfügig unter die Grabenoberfläche zurückgeätzt. Hierzu können die üblicherweise zum Ätzen von Silicium eingesetzten Verfahren verwendet werden.

Wird anstelle undotierten Siliciums sehr niedrig dotiertes Silicium verwendet, kann dieses grundsätzlich mit allen üb-

licherweise zur Dotierung von Silicium verwendeten Verbindungen dotiert sein. Beispielfhaft können Bor, Phosphor oder Arsen genannt werden. Das Ausmaß der Dotierung wird dabei so gewählt, daß der gefüllte Graben gegenüber dem umliegenden Substrat noch hinreichend isolierend wirkt.

Nach Auffüllung der in die Source-Drain-Bereiche geätzten Gräben wird das Silicium im oberen Grabenbereich auf an sich bekannte Weise dotiert, um die hochdotierten Source- und Drain-Zonen des Transistors herzustellen. Es können alle üblicherweise zur Dotierung von Source-Drain-Zonen eingesetzten Materialien verwendet werden. Geeignete Dotieratome für N-Kanal-Transistoren sind insbesondere Phosphor und Arsen, für P-Kanal-Transistoren kann vor allem Bor genannt werden.

Um den Schichtwiderstand zu reduzieren, kann auf Source- und Drain-Zonen außerdem eine Metallsilicidschicht aufgebracht werden. Vorzugsweise schließt diese Metallsilicidschicht mit der oberen Grabenkante ab. Diese Metallsilicidschicht kann beispielsweise aus Titansilicid bestehen und wird auf übliche Weise auf dem dotierten Silicium im oberen Grabenbereich erzeugt. Geeignet ist insbesondere die Salicide-Technik (Salicide = Self Aligned Silicide).

Die Größe der geätzten und mit undotiertem oder sehr niedrig dotiertem Silicium aufgefüllten Gräben richtet sich nach der Ausgestaltung der jeweils dielektrisch zu isolierenden MOS-Transistoren. Zweckmäßig entspricht der Grabenquerschnitt im wesentlichen der Grundfläche des entsprechenden Source- oder Drain-Gebiets, um eine vollständige Isolation über diese Fläche zu gewährleisten. Die Tiefe der Gräben wird für übliche CMOS-Transistoren im allgemeinen im Bereich von etwa 0,3 bis 1 µm und insbesondere zwischen 0,5 und 0,7 µm liegen.

Erfindungsgemäß werden die Source-Drain-Bereiche der erfindungsgemäßen CMOS-Schaltungen durch ein Verfahren hergestellt, welches die folgenden Schritte umfaßt:

- a) Erzeugen von Gräben in den Source-Drain-Bereichen des monokristallinen Siliciums durch anisotropes Ätzen;
- b) Auffüllen der Gräben durch Abscheidung undotierten oder sehr niedrig dotierten Siliciums;
- c) Isotropes Rückätzen des abgeschiedenen Siliciums bis zur Grabenkante oder geringfügig unterhalb der Grabenkante und
- d) Dotieren des abgeschiedenen Siliciums im oberen Grabenbereich.

Zweckmäßig werden die Schritte a) bis d) im Anschluß an die Strukturierung der Gateelektrode und die Erzeugung der LDD (Lightly Doped Drain)-Bereiche ausgeführt. Letzgenannte Herstellungsschritte können auf herkömmliche Weise durchgeführt werden.

Im Anschluß an Schritt d) kann, wenn dies gewünscht wird, in den Source-Drain-Bereichen eine Metallsilicidschicht erzeugt werden, welche dem dotierten Silicium im oberen Grabenbereich benachbart ist.

In einer bevorzugten Form des erfindungsgemäßen Verfahrens wird zunächst die Grabenisolation zur seitlichen Isolierung der einzelnen Transistoren der CMOS-Schaltung durchgeführt. Hier eignen sich an sich bekannte Verfahren wie die sogenannte Shallow Trench-Isolierung, welche beispielsweise Siliciumdioxid als Isolationsmaterial verwendet. Nach der auf übliche Weise erfolgten Herstellung des Gateoxids und der Herstellung der Gateelektrode durch Abscheiden und Strukturieren von Polysilicium auf an sich bekannte Weise werden die Flanken der Gateelektrode auf her-

kömmliche Art isoliert (Herstellung der Spacer). Anschließend werden die Source- und Drain-Zonen der LDD-Transistoren durch Ionenimplantation mittels bekannter Verfahrensschritte erzeugt. Im Anschluß daran folgen die vorstehend beschriebenen Schritte a) bis d) und, falls gewünscht, die Aufbringung einer Metallsilicidschicht auf das dotierte Silicium in den Gräben.

Bei der Auffüllung der geätzten Gräben mit Silicium (Schritt b)) ist zweckmäßig darauf zu achten, daß die Prozeßtemperatur so gewählt wird, daß in bereits dotierten Bereichen des Substrats keine Diffusion der Dotieratome ausgelöst wird. Die Dotierung des abgeschiedenen Siliciums im oberen Grabenbereich (Schritt d)) erfolgt zweckmäßig bei niedriger Energie und durch kurzzeitiges Tempern bei niedriger Temperatur.

Die weiteren Bearbeitungsschritte zur Herstellung der fertigen CMOS-Schaltung können dann auf an sich bekannte Weise durchgeführt werden.

Die Erfindung soll nachfolgend am Beispiel einer Zeichnung näher erläutert werden. Darin zeigt

**Fig. 1** schematisch eine Teil-Schnittansicht einer erfindungsgemäßen CMOS-Schaltung im Bereich eines N-Kanal-Transistors nach Herstellung der Source-Drain-Gebiete.

Im einzelnen zeigt **Fig. 1** einen Ausschnitt einer erfindungsgemäßen CMOS-Schaltung **1** im Bereich eines N-Kanal-Transistors. Für P-Kanal-Transistoren gilt das nachfolgende analog.

Der in **Fig. 1** gezeigte N-Kanal-Transistorbereich ist seitlich durch isolierende Gräben (Shallow Trenches) **9** begrenzt, die durch Ätzen des p-dotierten Siliciumwafers **2** erzeugt und anschließend mit Siliciumdioxid aufgefüllt wurden. Die Grabentiefe beträgt beispielsweise 0,7 µm. Auf dem p-Substrat **2** ist eine Gateelektrode **7** aus n<sup>+</sup>-Polysilicium angeordnet, welche vom p-Substrat durch das Gateoxid **10** getrennt ist. Flanken **11** und vom p-Substrat **2** abgewandte Oberseite der Gateelektrode **7** sind mit einer Isolationssschicht **12** aus Siliciumdioxid bedeckt. Der Drainbereich ist bis in den Bereich unterhalb der Gateelektrode **7** hinein n-dotiert (**8**). Erfindungsgemäß ist im Drainbereich zu dessen Isolierung ein Graben **3** geätzt, der beispielsweise eine Tiefe von 0,6 µm aufweist. Dieser Graben ist mit undotiertem Silicium gefüllt, das durch selektive Epitaxie oder Abscheidung von Polysilicium erzeugt sein kann und anschließend rückgeätzt wurde, so daß die Oberfläche des Siliciums etwas unterhalb des Grabenrandes und der Oberfläche des Isolationsgrabens **9** zu liegen kommt. Im oberen Bereich **5** ist das Silicium beispielsweise mit Arsen hoch n-dotiert. Auf dieser hochdotierten Siliciumoberfläche ist durch Salicide-Technik eine Titansilicid-Schicht **6** abgeschieden worden.

Durch die gezeigte Anordnung wird ein N-Kanal-Transistor erhalten, dessen hier dargestellter Drainbereich rundum dielektrisch isoliert ist. Dadurch daß der unter dem Drainbereich erzeugte Graben in seinem unteren Bereich mit undotiertem oder mit sehr niedrig dotiertem Silicium gefüllt ist, isoliert er den Drainbereich effektiv gegen das darunterliegende p-Substrat. Die Shallow Trench-Isolation sorgt für die seitliche Isolierung der einzelnen Transistoren.

Erfindungsgemäß können also unter Verwendung herkömmlicher Substrate und Verfahren CMOS-Schaltungen mit rundum isolierten Source-Drain-Bereichen erhalten werden. Gegenüber den bekannten SOI-Techniken hat die Erfindung den Vorteil der leichteren Herstellbarkeit der Schaltungen und vermeidet dabei das Floaten der Substratgebiete der MOS-Transistoren, wie es bei Anwenden der SOI-Techniken auftritt.

## Bezugszeichenliste

- 1** CMOS-Schaltung
- 2** Siliciumwafer
- 3** Source-/Drain-Graben
- 4** Silicium
- 5** oberer Grabenbereich
- 6** Metallsilicidschicht
- 7** Gateelektrode
- 8** LDD-Bereich
- 9** Shallow Trench
- 10** Gateoxid
- 11** Gateelektrodenflanken
- 12** Isolationssschicht

## Patentansprüche

1. CMOS-Schaltung (**1**) mit rundum dielektrisch isolierten Source-Drain-Gebieten, **dadurch gekennzeichnet**, daß im Bereich der Source-Drain-Gebiete in das monokristalline Silicium (**2**) geätzte Gräben (**3**) vorgehen sind, welche mit undotiertem oder sehr niedrig dotiertem Silicium (**4**) aufgefüllt sind.
2. CMOS-Schaltung gemäß Anspruch 1, dadurch gekennzeichnet, daß das undotierte oder sehr niedrig dotierte Silicium (**4**) monokristallines, polykristallines oder amorphes Silicium ist.
3. CMOS-Schaltung gemäß einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß das Silicium (**4**) konform abgeschiedenes polykristallines oder amorphes Silicium ist.
4. CMOS-Schaltung gemäß einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß das Silicium (**4**) durch selektive Epitaxie abgeschiedenes undotiertes Silicium ist.
5. CMOS-Schaltung gemäß einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das Silicium im oberen Grabenbereich (**5**) dotiert ist.
6. CMOS-Schaltung gemäß einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß auf dem dotierten Silicium im oberen Grabenbereich (**5**) eine Schicht (**6**) aus Metallsilicid angeordnet ist.
7. CMOS-Schaltung gemäß Anspruch 6, dadurch gekennzeichnet, daß das Metallsilicid (**6**) Titansilicid ist.
8. CMOS-Schaltung gemäß einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Gräben (**3**) eine Tiefe von 0,3 bis 1 µm und insbesondere von 0,5 bis 0,7 µm aufweisen.
9. CMOS-Schaltung gemäß einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die einzelnen Transistoren durch mit Isolationsmaterial gefüllte Gräben (**9**) gegeneinander isoliert sind.
10. Verfahren zur Herstellung einer CMOS-Schaltung gemäß einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß es die folgenden Schritte umfaßt:
  - a) Erzeugen von Gräben (**3**) in den Source-Drain-Bereichen des monokristallinen Siliciums (**2**) durch anisotropes Ätzen,
  - b) Auffüllen der Gräben (**3**) durch Abscheidung undotierten oder sehr niedrig dotierten Siliciums (**4**),
  - c) Isotropes Rückätzen des abgeschiedenen Siliciums (**4**) bis zur Grabenkante oder geringfügig unterhalb der Grabenkante,
  - d) Dotieren des abgeschiedenen Siliciums im oberen Grabenbereich (**5**).
11. Verfahren gemäß Anspruch 10, dadurch gekennzeichnet, daß die Schritte a) bis d) im Anschluß an die

Strukturierung der Gateelektrode (7) und die Erzeugung von LDD (Lightly Doped Drain)-Bereichen (8) ausgeführt werden.

12. Verfahren gemäß Anspruch 10 oder 11, dadurch gekennzeichnet, daß im Anschluß an Schritt d) eine Metallsilicidschicht (6) auf das dotierte Silicium im Graben (3) aufgebracht wird. 5

13. Verfahren gemäß einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, daß es die folgenden Schritte umfaßt: 10

- Grabenisolation zur seitlichen Isolierung der Transistoren,
- Gateoxidation zur Erzeugung des Gateoxids (10),
- Erzeugung der Gateelektrode (7) durch Abscheidung und Strukturierung von Polysilicium, 15
- Isolierung der Gateelektrodenflanken (11),
- Ionenimplantation zur Erzeugung der LDD-Bereiche (8),
- anisotropes Ätzen von Gräben (3) in den Source-Drain-Bereichen, 20
- Auffüllen der Gräben (3) durch Siliciumabscheidung,
- isotropes Rückätzen des abgeschiedenen Siliciums (4) bis zur Grabenkante oder geringfügig unterhalb der Grabenkante, 25
- Dotieren des abgeschiedenen Siliciums (4) im oberen Grabenbereich (5) und
- gegebenenfalls Aufbringen einer Metallsilicidschicht (6) auf das dotierte Silicium in den Gräben (3). 30

14. Verfahren gemäß einem der Ansprüche 10 bis 13, dadurch gekennzeichnet, daß die Dotierung des abgeschiedenen Siliciums gemäß Schritt d) bei niedriger Energie und durch kurzzeitige Temperung bei niedriger Temperatur erfolgt. 35

---

Hierzu 1 Seite(n) Zeichnungen

---

40

45

50

55

60

65

- Leerseite -

FIG. 1

